



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

12 Off nl gungsschrift
10 DE 199 56 465 A 1

51 Int. Cl.⁷:
G 11 C 11/409

21 Aktenzeichen: 199 56 465.5
22 Anmeldetag: 24. 11. 1999
43 Offenlegungstag: 31. 5. 2000

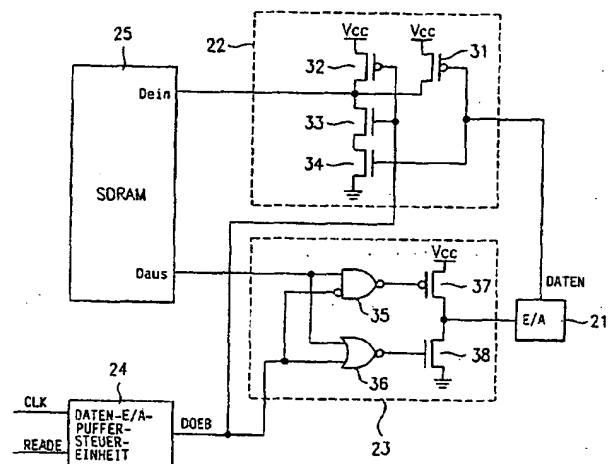
DE 199 56 465 A 1

30 Unionspriorität:
50440/98 24. 11. 1998 KR
71 Anmelder:
Hyundai Electronics Industries Co., Ltd., Ichon,
Kyungki, KR
74 Vertreter:
TER MEER STEINMEISTER & Partner GbR
Patentanwälte, 81679 München

72 Erfinder:
Kim, Dong Kyeun, Cheongju, KR; Park, Jong Hoon,
Cheongju, KR; Park, San Ha, Cheongju, KR

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

- 54 Steuerschaltung für einen Daten-E/A-Puffer
57 Es wird eine Steuerschaltung für einen Daten-Eingangs/Ausgangs-Puffer angegeben, die einen Eingangspuffer in einem Lesemodus deaktiviert, um den Stromverbrauch zu verringern. Diese Schaltung ist mit Folgendem versehen:
- einem Daten-E/A-Kontaktfleck (21) zum Eingeben oder Ausgeben von Daten;
 - einem Dateneingangspuffer (22) zum Eingeben von über den Daten-E/A-Kontaktfleck empfangenen Daten in einen SDRAM auf ein Steuersignal hin;
 - einem Datenausgangspuffer (23) zum Ausgeben der Daten im SDRAM über den Daten-E/A-Kontaktfleck und
 - einer Steuereinheit (24) für den Daten-Eingangs/Ausgangs-Puffer für Steuerung in solcher Weise, dass in einem Lesemodus der Dateneingangspuffer deaktiviert und der Datenausgangspuffer aktiviert wird.



DE 199 56 465 A 1

Beschreibung

Die Erfindung betrifft eine Steuerschaltung für einen Daten-Eingangs/Ausgangs-Puffer für einen SDRAM (synchroner DRAM). In der gesamten nachfolgenden Beschreibung ist Eingabe/Ausgabe mit E/A abgekürzt.

DRAMs, die aus einer Kombination von Kondensatoren und Transistoren bestehen, werden in weitem Umfang als Speicher mit hoher Packungsdichte von Bauelementen verwendet. Jedoch besteht bei DRAMs ein Nachteil dahingehend, dass die Datenlesezeit lang ist und geringe Arbeitsgeschwindigkeit besteht, da der Betrieb eines DRAM durch Verzögern von Befehlssignalen, wie RASB und CASB, gesteuert wird und Daten entsprechend einem Y-Adressensignal aus dem DRAM ausgelesen werden. Daher wurden SDRAMs entwickelt, bei denen die Betriebsgeschwindigkeiten, insbesondere die Lesegeschwindigkeiten, höher als bei einem DRAM sind. Bei einem SDRAM sind Daten-E/A-Kontaktflecke so vorhanden, dass die Eingabe und Ausgabe von einem Kontaktfleck erfolgt, also ohne dass gesondert ein Dateneingabe-Kontaktfleck und ein Datenausgabe-Kontaktfleck vorhanden wären. Außerdem sind sowohl ein Dateneingangs- als auch ein Datenausgangspuffer mit dem Daten-E/A-Kontaktfleck verbunden.

Nun wird unter Bezugnahme auf die Fig. 1 eine bekannte Schaltung zum Steuern von Daten-E/A-Puffern für einen SDRAM erläutert. Diese Schaltung verfügt über einen E/A-Kontaktfleck 1 für die Eingabe und Ausgabe von Daten, einen Dateneingangspuffer 2 mit einem PMOS-Transistor 3 und einem ersten NMOS-Transistor 4 zur Eingabe externer Daten in den SDRAM über den E/A-Kontaktfleck 1, einen Datenausgangspuffer 5 mit einem NAND-Gatter 6, einem NOR-Gatter 7, einem zweiten PMOS-Transistor 8 und einem zweiten NMOS-Transistor 9 zum Liefern von Daten im SDRAM über den E/A-Kontaktfleck 1 sowie eine Datenausgangspuffer-Steuereinheit 10 zum Steuern eines Signals DOEB für den Datenausgangspuffer 5 auf ein Taktsignal CLK und einen Lesebefehl READE hin.

Nun wird der Betrieb dieser bekannten Schaltung zum Steuern von Daten-Eingangs/Ausgangs-Puffern erläutert.

Wenn Daten aus dem SDRAM ausgelesen werden, wird ein Lesebefehlssignal geliefert. In diesem Fall wird der Lesebefehl im SDRAM interpretiert, um ein Lesefreigabesignal READE von Niedrig auf Hoch zu aktivieren. Wenn die Datenausgangspuffer-Steuereinheit 10 das Signal READE empfängt, führt sie für das Signal DOEB synchron mit einem externen Taktsignal CLK einen Übergang von Hoch auf Niedrig aus, um nach einem voreingestellten Zeitintervall den Datenausgangspuffer 5 zu aktivieren. Während das Signal DOEB von der Datenausgangspuffer-Steuereinheit 10 auf Niedrig gehalten wird, ist der Datenausgangspuffer 5 aktiviert, um vom SDRAM einen Datenwert DAUS an den E/A-Kontaktfleck 1 zu liefern. Wenn der Lesevorgang durch externe oder interne Steuerung endet, geht das Signal READE erneut von Hoch auf Niedrig über, so dass die Datenausgangspuffer-Steuereinheit 10 das Steuersignal DOEB nach einer voreingestellten Zeitperiode von Niedrig auf Hoch bringt, um den Datenausgangspuffer 5 zu deaktivieren. Dadurch wird der Datenausgangspuffer 5 in einen Zustand mit hoher Impedanz gebracht.

Jedoch zeigt die bekannte Schaltung zum Steuern von Daten-Eingangs/Ausgangs-Puffern die folgenden Probleme. Am Dateneingangspuffer kommt es nämlich zu einer überflüssigen Erzeugung eines Schaltstroms durch einen ausgegebenen Datenwert, der an den Dateneingangspuffer zu rückgeliefert wird, wenn der Datenausgangspuffer den Datenwert bei einem Lesevorgang an den E/A-Kontaktfleck liefert, wobei der Strom umso größer wird, je mehr Daten

aufeinanderfolgend gelesen werden.

Der Erfindung liegt die Aufgabe zugrunde, eine Steuerschaltung für einen Daten-Eingangs/Ausgangs-Puffer zu schaffen, die verhindern kann, dass durch Daten, die von einem Datenausgangspuffer her rückgekoppelt werden, ein Schaltstrom erzeugt wird.

Diese Aufgabe ist durch die Steuerschaltung gemäß dem beigefügten Anspruch 1 gelöst.

Zusätzliche Merkmale und Aufgaben der Erfindung werden in der folgenden Beschreibung dargelegt und gehen teilweise aus dieser hervor, ergeben sich aber andererseits auch beim Ausüben der Erfindung. Die Aufgaben und andere Vorteile der Erfindung werden durch die Maßnahmen erzielt, wie sie speziell in der Beschreibung, den Ansprüchen und den beigefügten Zeichnungen dargelegt sind.

Es ist zu beachten, dass sowohl die vorstehende allgemeine Beschreibung als auch die folgende detaillierte Beschreibung beispielhaft und erläuternd für die beanspruchte Erfindung sind.

Die Zeichnungen, die beigefügt sind, um das Verständnis der Erfindung zu fördern, veranschaulichen Ausführungsbeispiele der Erfindung und dienen zusammen mit der Beschreibung dazu, deren Prinzipien zu erläutern.

Fig. 1 zeigt eine bekannte Steuerschaltung für einen Daten-Eingangs/Ausgangs-Puffer für einen SDRAM und

Fig. 2 zeigt eine Steuerschaltung für einen Daten-Eingangs/Ausgangs-Puffer für einen SDRAM gemäß einem bevorzugten Ausführungsbeispiel der Erfindung.

Gemäß Fig. 2 beinhaltet die Steuerschaltung gemäß dem bevorzugten Ausführungsbeispiel einen E/A-Kontaktfleck 21 zum Eingeben und Ausgeben von Daten, einen Dateneingangspuffer 22 zum Eingeben von über den E/A-Kontaktfleck 21 empfangenen Daten in eine interne Schaltung 25 des SDRAM, einen Datenausgangspuffer 23 zum Ausgeben der Daten im SDRAM 25 über den E/A-Kontaktfleck 21 sowie eine Steuereinheit 24 für den Daten-Eingangs/Ausgangs-Puffer zum Steuern eines Signals DOEB für den Dateneingangspuffer 22 und den Datenausgangspuffer 23 auf ein Taktsignal CLK und ein Lesebefehlssignal READE hin, so dass in einem Lesemodus der Dateneingangspuffer 22 deaktiviert und der Datenausgangspuffer 23 aktiviert wird. Der Dateneingangspuffer 22 beinhaltet einen ersten PMOS-Transistor 31, dessen Drain mit einem Konstantspannungsanschluss verbunden ist, dessen Source mit einem Eingangsanschluss der internen Schaltung des SDRAM verbunden ist und dessen Gate mit dem E/A-Kontaktfleck 21 verbunden ist, einen zweiten PMOS-Transistor 32, dessen Drain mit dem Konstantspannungsanschluss verbunden ist, dessen Source mit der Source des ersten PMOS-Transistors 31 verbunden ist und dessen Gate das Steuersignal DEOB von der Steuereinheit 24 für den Daten-Eingangs/Ausgangs-Puffer erhält, einen ersten NMOS-Transistor 33, dessen Source mit den Sources des ersten und zweiten PMOS-Transistors 31 und 32 verbunden ist, dessen Gate das Steuersignal DEOB von der Steuereinheit 24 für den Daten-Eingangs/Ausgangs-Puffer erhält, und einen zweiten NMOS-Transistor 34, dessen Source mit dem Drain des ersten NMOS-Transistors 33 verbunden ist, dessen Drain mit Masse verbunden ist und dessen Gate mit dem E/A-Kontaktfleck 21 verbunden ist. Außerdem verfügt der Dateneingangspuffer 23 über ein NAND-Gatter 35, um die Daten vom SDRAM und das invertierte Signal des Steuersignals DEOB von der Steuereinheit 24 für den Daten-Eingangs/Ausgangs-Puffer einer logischen Operation zu unterziehen, ein NOR-Gatter 36, um die Daten vom SDRAM und das Steuersignal DEOB einer logischen Operation zu unterziehen, einen PMOS-Transistor 37, dessen Drain mit dem Konstantspannungsanschluss verbunden ist, dessen Source mit

dem E/A-Kontaktfleck 21 verbunden ist und dessen Gate das Ausgangssignal des NAND-Gatters 35 erhält, und einen NMOS-Transistor 38, dessen Source mit der Source des PMOS-Transistors 37 verbunden ist, dessen Drain mit Masse verbunden ist und dessen Gate das Ausgangssignal des NOR-Gatters 36 erhält.

Nun wird die Funktion der Steuerschaltung für einen Daten-Eingangs/Ausgangs-Puffer gemäß diesem bevorzugten Ausführungsbeispiel beschrieben.

Wie beim Stand der Technik wird ein Lesebefehlssignal zugeführt, wenn es beabsichtigt ist, einen Datenwert aus dem SDRAM auszulesen. Dann wird das Lesebefehlssignal im SDRAM interpretiert und das Lesefreigabesignal READE wird von Niedrig auf Hoch aktiviert. Wenn die Steuereinheit 24 für den Daten-Eingangs/Ausgangs-Puffer das Signal READE empfängt, bringt sie das Signal DEOB von Hoch auf Niedrig, damit der Dateneingangspuffer 23 aktiviert und der Dateneingangspuffer 21 deaktiviert wird, was nach einer voreingestellten Zeitperiode synchron mit einem externen Taktsignal CLK erfolgt. Demgemäß wird der Dateneingangspuffer 23 aktiviert, während das Steuersignal DEOB von der Steuereinheit 24 für den Daten-Eingangs/Ausgangs-Puffer auf Niedrig gehalten wird, um den von der internen Schaltung des SDRAM empfangenen Datenwert DAUS an den E/A-Kontaktfleck 21 zu liefern. D.h., dass das NAND-Gatter 35 dann, wenn das Steuersignal DEOB niedrig ist, den Datenwert vom SDRAM invertiert. Außerdem invertiert das NOR-Gatter 36 den Datenwert vom SDRAM. Demgemäß wird, wenn der Datenwert vom SDRAM hoch ist, der PMOS-Transistor 37 eingeschaltet, während dann, wenn der Datenwert vom SDRAM niedrig ist, der NMOS-Transistor 38 eingeschaltet wird, um den Datenwert zu liefern. Dagegen wird der Datenwert vom E/A-Kontaktfleck nicht zurückgeführt, da der Dateneingangspuffer 22 deaktiviert ist, während das Steuersignal DEOB durch die Steuereinheit 24 für den Daten-Eingangs/Ausgangs-Puffer auf Niedrig gehalten wird, und zwar selbst dann, wenn der Dateneingangspuffer 23 einen Datenwert an den E/A-Kontaktfleck 21 liefert. D. h., dass durch Konzipieren des zweiten PMOS-Transistors 32 und des ersten NMOS-Transistors 33 in solcher Weise, dass sie auf das Signal DEOB unabhängig vom Signal vom E/A-Kontaktfleck 21 immer jeweils ein hohes Signal liefern, kein Hin- und Herschalten auftritt. Außerdem geht, wenn der Lesevorgang durch externe oder interne Steuerung endet, das Signal READE erneut von Hoch auf Niedrig, so dass die Steuerschaltung 24 für den Daten-Eingangs/Ausgangs-Puffer das Steuersignal DEOB nach einer voreingestellten Zeitperiode von Niedrig auf Hoch bringt, um den Dateneingangspuffer 23 zu deaktivieren und den Dateneingangspuffer 22 zu aktivieren.

Die erfindungsgemäße Steuerschaltung für einen Daten-Eingangs/Ausgangs-Puffer weist die folgenden Vorteile auf. Sie kann den Betriebsstrom beim Lesevorgang verringern, da ein überflüssiger Schaltstrom, der dadurch hervorgerufen wird, dass ein gelesener Datenwert an den Dateneingangspuffer zurückgeführt wird, dadurch beseitigt ist, dass der Dateneingangspuffer deaktiviert wird, wenn der Dateneingangspuffer zum Lesen eines Datenwerts aktiviert wird.

Patentansprüche

1. Steuerschaltung für einen Daten-Eingangs/Ausgangs-Puffer mit:

- einem Daten-E/A-Kontaktfleck (21) zum Eingeben oder Ausgeben von Daten;
- einem Dateneingangspuffer (22) zum Eingeben von über den Daten-E/A-Kontaktfleck empfangenen

nen Daten in einen SDRAM auf ein Steuersignal hin;

- einem Dateneingangspuffer (23) zum Ausgeben der Daten im SDRAM über den Daten-E/A-Kontaktfleck und

- einer Steuereinheit (24) für den Daten-Eingangs/Ausgangs-Puffer für Steuerung in solcher Weise, dass in einem Lesemodus der Dateneingangspuffer deaktiviert und der Dateneingangspuffer aktiviert wird.

2. Schaltung nach Anspruch 1, dadurch gekennzeichnet, dass der Dateneingangspuffer (22) Folgendes aufweist:

- einen ersten PMOS-Transistor (31), dessen Drain mit einem Konstantspannungsanschluss verbunden ist, dessen Source mit einem Eingangsanschluss der internen Schaltung des SDRAM verbunden ist, und mit einem mit dem E/A-Kontaktfleck (21) verbundenen Gate;

- einen zweiten PMOS-Transistor (32), dessen Drain mit dem Konstantspannungsanschluss verbunden ist, einer Source, die mit der Source des ersten PMOS-Transistors (31) verbunden ist und mit einem Gate, das ein Steuersignal DEOB von der Steuereinheit (24) für den Daten-Eingangs/Ausgangs-Puffer empfängt;

- einen ersten NMOS-Transistor (33), dessen Source mit den Sources des ersten und zweiten PMOS-Transistors (31, 32) verbunden ist, und mit einem Gate, das das Steuersignal DEOB erhält; und

- einen zweiten NMOS-Transistor (34), dessen Source mit dem Drain des ersten NMOS-Transistors verbunden ist, dessen Drain mit Masse verbunden ist und dessen Gate mit dem E/A-Kontaktfleck verbunden ist.

Hierzu 2 Seite(n) Zeichnungen

- Leerseite -

FIG. 1

STAND DER TECHNIK

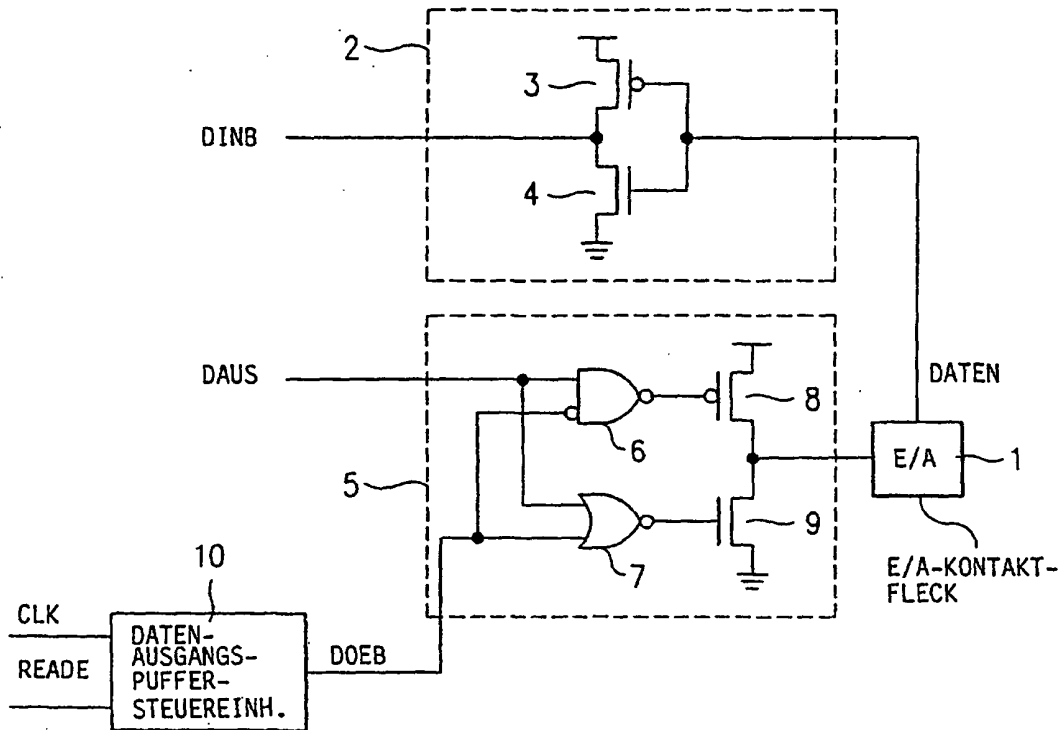
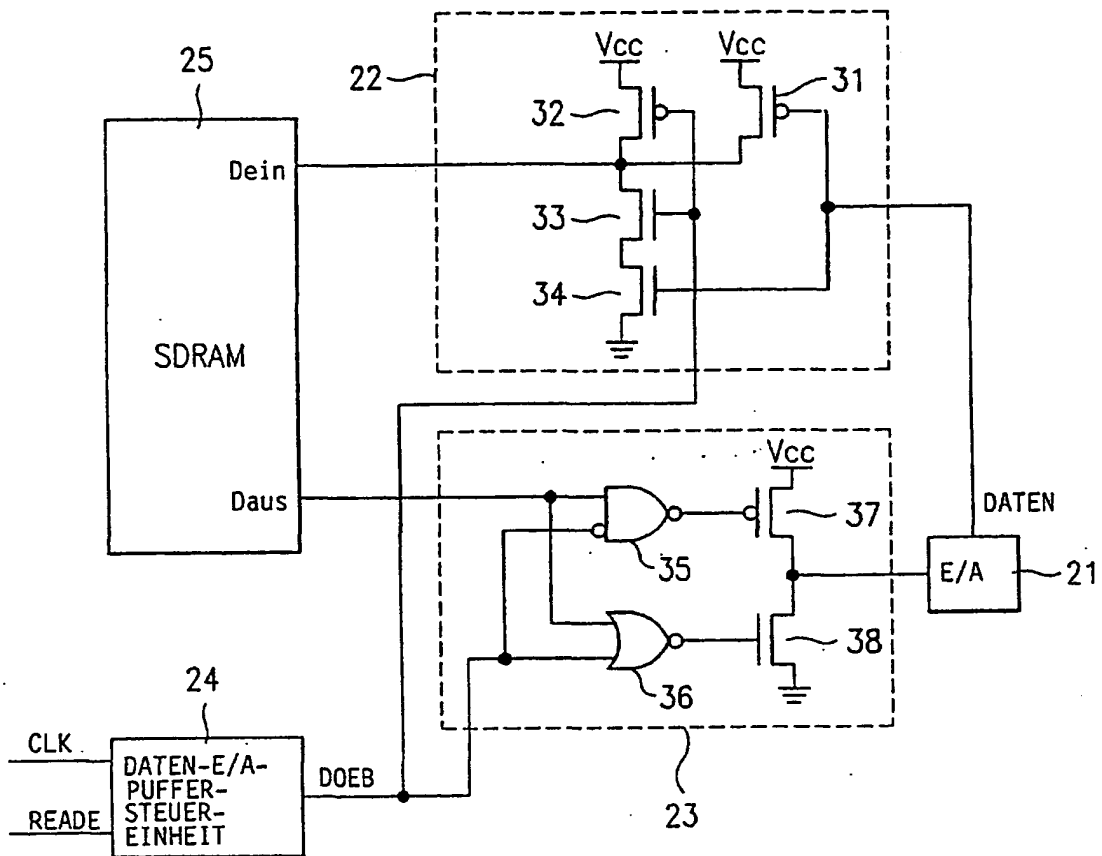


FIG.2



Data I/O buffer contr l circuit

Patent Number: US6339343
Publication date: 2002-01-15
Inventor(s): PARK SAN HA (KR); KIM DONG KYEUN (KR); PARK JONG HOON (KR)
Applicant(s): HYUNDAI ELECTRONICS IND (US)
Requested Patent: DE19956465
Application Number: US19990407172 19990928
Priority Number(s): KR19980050440 19981124
IPC Classification: H03K9/0185
EC Classification: G11C7/10R, G11C7/10S, G11C7/10W, G11C11/4093, G11C11/4096
Equivalents: JP2000163972, KR2000033541

Abstract

A circuit controls data input/output buffers, where an input buffer is disabled during a read mode for reducing power consumption. In a preferred embodiment, a data input buffer is enabled in response to a control signal to receive data from an input/output pad. A data output buffer provides data to the input/output pad in response to the control signal. A data input/output buffer control unit generates the control signal to disable the data input buffer and enable the data output buffer in read mode. Preferably, the circuit is readily applicable to a memory device, such as a Synchronous Dynamic Random Access Memory (SDRAM)

Data supplied from the esp@cenet database - I2

DOCKET NO: W&B-INF-1919

SERIAL NO: _____

APPLICANT: A. Schäfer et al.

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100